

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 4 月 2 2 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 1 1 6 9 9 6
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 1 1 6 9 9 6]

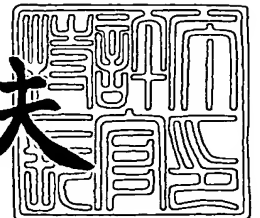
出 願 人 沖電気工業株式会社
Applicant(s):



2 0 0 3 年 8 月 1 2 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 6 4 6 2 3

【書類名】 特許願
【整理番号】 OH003822
【あて先】 特許庁長官殿
【国際特許分類】 H03M 1/68
H03M 1/66

【発明者】

【住所又は居所】 東京都港区虎ノ門 1 丁目 7 番 1 2 号 沖電気工業株式会
社内

【氏名】 関口 勝

【特許出願人】

【識別番号】 000000295

【氏名又は名称】 沖電気工業株式会社

【代理人】

【識別番号】 100085419

【弁理士】

【氏名又は名称】 大垣 孝

【手数料の表示】

【予納台帳番号】 012715

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9001068

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電流セル型デジタル／アナログ変換器

【特許請求の範囲】

【請求項 1】 同一数だけ並列接続された同一サイズの定電流トランジスタをそれぞれ有する、複数の上位電流セルおよび 1 個以上の下位電流セルを、マトリクス状に配置してなる電流セルマトリクスと、

前記上位電流セルにそれぞれ設けられた、被選択時に該上位電流セル内のすべての前記定電流トランジスタの電流を出力させる上位制御回路と、

前記下位電流セルにそれぞれ設けられた、被選択時に該下位電流セル内の所定の前記定電流トランジスタの電流のみを出力させる下位制御回路と、

前記電流セルマトリクスの行ごとに設けられ、同一行の前記上位電流セルおよび前記下位電流セルに設けられた前記定電流トランジスタに電流を供給する複数の電源ラインと、

デジタル値の所定上位ビットに応じて前記上位制御回路を選択する上位デコーダと、

デジタル値の所定下位ビットに応じて前記下位制御回路を選択する下位デコーダと、

前記上位電流セルおよび前記下位電流セルの出力電流の和を出力するアナログ出力端子と、

を備えることを特徴とする電流セル型デジタル／アナログ変換器。

【請求項 2】 前記下位電流セルが複数の前記下位制御回路を備え、これらの下位制御回路が、相互に異なる個数の前記定電流トランジスタの電流を当該下位電流セルから出力させることを特徴とする請求項 1 に記載の電流セル型デジタル／アナログ変換器。

【請求項 3】 前記下位電流セルが、前記定電流トランジスタの個数を前記上位電流セルと一致させるためのダミー定電流トランジスタを備え、

該ダミー定電流トランジスタが、前記電源ラインから供給された電流をグラウンドラインに放出するように構成された、

ことを特徴とする請求項 1 または 2 に記載の電流セル型デジタル／アナログ変

換器。

【請求項 4】 前記上位デコーダが同一行の前記上位電流セルを複数個同時に選択する場合に、前記電源ラインの両端から交互に選択していくことを特徴とする請求項 1～3 のいずれかに記載の電流セル型デジタル／アナログ変換器。

【請求項 5】 最終行の、他の行では最後に選択される前記上位電流セルが配置される位置に、前記下位電流セルを配置したことを特徴とする請求項 4 に記載の電流セル型デジタル／アナログ変換器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、複数の電流セルを用いてデジタル信号をアナログ電流に変換するタイプのデジタル／アナログ変換器に関する。

【0002】

【従来の技術】

従来より、電流セル型のデジタル／アナログ変換器が知られている。かかるデジタル／アナログ変換器は、複数の電流セルを用いて、デジタル信号をアナログ電流に変換することができる。電流セル型のデジタル／アナログ変換器は、例えば下記特許文献 1 に記載されている。

【0003】

例えば分解能が 6 ビットの電流セル型デジタル／アナログ変換器には、通常、0 から $2^6 - 1$ までの 64 段階の電流値が設定される。このために、分解能が 6 ビットのデジタル／アナログ変換器は、63 個の電流セルを有している。そして、デジタル値に応じた個数の電流セルをオンすることにより、このデジタル値に応じた値の電流を出力することができる。

【0004】

また、特許文献 1 の電流セル型デジタル／アナログ変換器は、重み 4 の電流セル 63 個、重み 2 の電流セル 1 個、重み 1 の電流セル 1 個、重み 1/2 の電流セル 1 個および重み 1/4 の電流セル 1 個を備えている（同文献の図 1 参照）。重み 4 の電流セルは、マトリクス状に配置されている。一方、他の電流セルは、1

種類の重みについて1個ずつなので、マトリクス状に配置されていない。ここで、各電流セルは、電源ラインVCCに接続されている（同文献の図2参照）。各電流セルは、デコーダによって選択されたときに、電源ラインVCCから供給された電流を出力する。重み1の電流セルの出力電流値を I_0 とすると、重み4の電流セルの出力電流値は $4I_0$ 、重み2の電流セルの出力電流値は $2I_0$ 、重み $1/2$ の電流セルの出力電流値は $I_0/2$ 、重み $1/4$ の電流セルの出力電流値は $I_0/4$ である。重みが異なる電流セルを併用することにより、少ない電流セル数で、デジタル／アナログ変換器の分解能を高めることができる。

【0005】

【特許文献1】

特開平11-17545号公報（第4頁、図1-図2）

【0006】

【発明が解決しようとする課題】

1個のデジタル／アナログ変換器に多数の電流セルを設ける場合、面積上の制約などのために、電源ラインの幅を十分に広くすることは困難である。このため、1本の電源ラインに多数個の電流セルが接続される場合には、この電源ラインの抵抗による電圧降下の影響が無視できなくなる。

【0007】

電流セル型デジタル／アナログ変換器では、デジタル値が‘1’大きくなるにつれて、出力電流が I_0 （重み1の電流値）ずつ増大することが望ましい。しかしながら、実際には、電流セルの出力電流のばらつきのために、電流増加量もばらついてしまう。すなわち、従来の電流セル型デジタル／アナログ変換器には、微分直線性誤差(Differential Nonlinearity)が悪いという欠点があった。

【0008】

このため、簡単な構成で且つデジタル／アナログ変換特性が優れた電流セル型デジタル／アナログ変換器が囑望されていた。

【0009】

【課題を解決するための手段】

この発明に係る電流セル型デジタル／アナログ変換器は、同一数だけ並列接続

された同一サイズの定電流トランジスタをそれぞれ有する、複数の上位電流セルおよび1個以上の下位電流セルを、マトリクス状に配置してなる電流セルマトリクスと、上位電流セルにそれぞれ設けられた、被選択時に該上位電流セル内のすべての定電流トランジスタの電流を出力させる上位制御回路と、下位電流セルにそれぞれ設けられた、被選択時に該下位電流セル内の所定の定電流トランジスタの電流のみを出力させる下位制御回路と、電流セルマトリクスの行ごとに設けられ、同一行の上位電流セルおよび下位電流セルに設けられた定電流トランジスタに電流を供給する複数の電源ラインと、デジタル値の所定上位ビットに応じて上位制御回路を選択する上位デコーダと、デジタル値の所定下位ビットに応じて下位制御回路を選択する下位デコーダと、上位電流セルおよび下位電流セルの出力電流の和を出力するアナログ出力端子とを備える。

【0010】

この発明に係る電流セル型デジタル／アナログ変換器では、上位電流セル（すなわち最大重みの電流セル）のみをマトリクス状に配置するのではなく、上位電流セルと下位電流セルとを同一のマトリクス内に配置した。これにより、電源ラインの抵抗による電圧降下の影響を低減することが可能になる。

【0011】

【発明の実施の形態】

以下、この発明の実施の形態について、図面を用いて説明する。なお、図中、各構成成分の大きさ、形状および配置関係は、この発明が理解できる程度に概略的に示してあるにすぎず、また、以下に説明する数値的条件は単なる例示にすぎない。

【0012】

図1は、この実施の形態に係る電流セル型デジタル／アナログ変換器の構成を概略的に示すブロック図である。また、図2は、この実施の形態に係る電流セル型デジタル／アナログ変換器の電源配線を示す回路図である。図1、図2に示したように、この電流セル型デジタル／アナログ変換器100は、電流セルマトリクス110と、上位デコーダ120と、下位デコーダ130と、ラッチ140と、上位電流セル用の選択信号線A1～A8，B1～B8，BN1～BN8と、下

位電流セル用の選択信号線D0, D1と、デジタル入力端子Din0～Din7と、アナログ出力端子Aoutと、電源パターン210と、電源ライン220-1～220-8とを備えている。

【0013】

電流セルマトリクス110は、63個の上位電流セルC1～C63と、1個の下位電流セルC0（第8行第5列）とを備えている。このように、この実施の形態に係る電流セル型デジタル／アナログ変換器100では、上位電流セルC1～C63のみをマトリクス状に配置するのではなく、下位電流セルC0も電流セルマトリクス110内に配置した。

【0014】

上位デコーダ120は、デジタル入力端子Din2～Din7から、デジタル信号の上位6ビットを入力する。そして、これらのビットの値に応じて、上位電流セル用の選択信号を生成・出力する。

【0015】

下位デコーダ130は、デジタル入力端子Din0, Din1から、デジタル信号の下位2ビットを入力する。そして、これらのビットの値に応じて、下位電流セル用の選択信号を生成・出力する。この実施の形態では、デジタル信号の下位2ビットをインバータ131, 132に反転させることによって、下位電流セル用の選択信号を生成している。

【0016】

ラッチ140は、デコーダ120, 130から入力された選択信号をラッチし、選択信号線A1～A8, B1～B8, BN1～BN8, D0, D1に出力する。

【0017】

選択信号線A1～A8は、上位電流セルの列を選択するための信号線である。選択信号線B1～B8, BN1～BN8は、上位電流セルの行を選択するために使用される。また、選択信号線D0, D1は下位電流セルを選択するための信号線である。

【0018】

デジタル入力端子 $D_{in}0 \sim D_{in}7$ には、例えば外部回路から、デジタル信号が入力される。

【0019】

アナログ出力端子 A_{out} は、すべての電流セルの電流出力端子（図1、図2では示さず）に接続されている。このため、アナログ出力端子 A_{out} からは、選択された電流セルの合成出力電流が、出力される。

【0020】

電源パターン 210 は、チップ内の各集積回路に電源電流を供給するための配線である。この電源パターン 210 は幅広に形成されるので、抵抗が十分に低く、したがって、電圧降下の影響は無視できる。

【0021】

電源ライン 220-1 ~ 220-8 は、電流セルマトリクス之行ごとに設けられる。そして、電源ライン 220-1 ~ 220-8 は、電源パターン 210 の電流を、対応する行の各電流セル $C_0 \sim C_{63}$ に供給する。電源ライン 220-1 ~ 220-8 は、電流セルマトリクスの面積的な理由から十分に幅広に形成することができず、したがって、電気抵抗が無視できない。この実施の形態では、電源パターン 210 と第1列の上位電流セルとの間の抵抗および上位電流セル間の抵抗を、それぞれ R とする。なお、図2には、第1行の抵抗値のみ示したが、だの行についても同じである。

【0022】

図3は、各上位電流セル $C_1 \sim C_{63}$ の内部構成を示す回路図である。図3に示したように、各上位電流セル $C_1 \sim C_{63}$ は、定電流 pMOS トランジスタ 301 ~ 304 と、ゲート用の pMOS トランジスタ 305 と、ダイオード接続の nMOS トランジスタ 306 と、ORゲート 307 と、ANDゲート 308 と、インバータ 309 とを備えている。

【0023】

定電流 pMOS トランジスタ 301 ~ 304 は、同一サイズに形成されており、互いに並列に接続されている。各 pMOS トランジスタ 301 ~ 304 のソースは、対応する電源ライン（図2の電源ライン 220-1 ~ 220-8 のいずれ

か)に接続されている。また、pMOSトランジスタ301～304のゲートには、第1基準電位Vref1(固定電位)が印加される。

【0024】

ゲート用のpMOSトランジスタ305のソースは、pMOSトランジスタ301～304のドレインに接続されている。pMOSトランジスタ305のゲートには、第2基準電位Vref2(固定電位)が印加される。また、pMOSトランジスタ305のドレインは、アナログ出力端子Aoutに接続されている。

【0025】

ダイオード接続のnMOSトランジスタ306のドレインおよびゲートは、pMOSトランジスタ301～304の各ドレインに接続されている。また、このトランジスタ306のソースは、インバータ309の出力ノードに接続されている。

【0026】

ORゲート307は、対応する列選択用信号線Ax(図1のA1～A8のいずれか)と、行選択用信号線BNx(図1のBN1～BN8のいずれか)との論理和を出力する。

【0027】

ANDゲート308は、対応する行選択用信号線Bx(図1のB1～B8のいずれか)と、ORゲート307の出力との論理積を出力する。

【0028】

インバータ309は、ANDゲート308の出力を反転して、nMOSトランジスタ306のソースに供給する。このインバータ309は、pMOSトランジスタ309aとnMOSトランジスタ309bとからなるCMOS(Complementary MOS)構造を備えている。

【0029】

図4は、下位電流セルC0の内部構成を示す回路図である。図4に示したように、下位電流セルC0は、定電流pMOSトランジスタ401～404と、ゲート用のpMOSトランジスタ405～407と、ダイオード接続のnMOSトランジスタ408、409と、インバータ410、411とを備えている。

【0030】

定電流 pMOS トランジスタ 401～404 は、上位電流セルの定電流 pMOS トランジスタ 301～304（図3 参照）と同一のサイズに形成されている。各 pMOS トランジスタ 401～404 のソースは、対応する電源ライン（図2 の電源ライン 220-1～220-8 のいずれか）に接続されている。また、pMOS トランジスタ 401～404 のゲートには、第1 基準電位 V_{ref1} が印加される。

【0031】

ゲート用の pMOS トランジスタ 405 のソースは、pMOS トランジスタ 401, 402 のドレインに接続されている。pMOS トランジスタ 405 のゲートには、第2 基準電位 V_{ref2} が印加されている。また、pMOS トランジスタ 405 のドレインは、アナログ出力端子 Aout に接続されている。

【0032】

ゲート用の pMOS トランジスタ 406 のソースは、pMOS トランジスタ 403 のドレインに接続されている。pMOS トランジスタ 406 のゲートには、第2 基準電位 V_{ref2} が印加される。また、pMOS トランジスタ 406 のドレインは、アナログ出力端子 Aout に接続されている。

【0033】

ゲート用の pMOS トランジスタ 407 のソースは、pMOS トランジスタ 404 のドレインに接続されている。pMOS トランジスタ 407 のゲートには、第2 基準電位 V_{ref2} が印加される。また、pMOS トランジスタ 407 のドレインは、グラウンドラインに接続されており、アナログ出力端子 Aout には接続されていない。

【0034】

ダイオード接続の nMOS トランジスタ 408 のドレインおよびゲートは、pMOS トランジスタ 401, 402 のドレインに接続されている。また、このトランジスタ 408 のソースは、インバータ 410 の出力ノードに接続されている。

【0035】

ダイオード接続の nMOS トランジスタ 409 のドレインおよびゲートは、pMOS トランジスタ 403 の各ドレインに接続されている。また、このトランジスタ 409 のソースは、インバータ 411 の出力ノードに接続されている。

【0036】

インバータ 410 は、最下位ビットの選択信号線 D0（図 1 参照）から入力された信号を反転して、nMOS トランジスタ 408 のソースに供給する。このインバータ 410 は、pMOS トランジスタ 410a と nMOS トランジスタ 410b とからなる CMOS 構造を備えている。

【0037】

インバータ 411 は、第 2 ビットの選択信号線 D1（図 1 参照）から入力された信号を反転して、nMOS トランジスタ 409 のソースに供給する。このインバータ 411 は、pMOS トランジスタ 411a と nMOS トランジスタ 411b とからなる CMOS 構造を備えている。

【0038】

次に、この実施の形態に係る電流セル型デジタル／アナログ変換器 100 の動作を説明する。

【0039】

まず、上位電流セル C1～C63 の動作原理を説明する。

【0040】

図 3 に示したように、定電流 pMOS トランジスタ 301～304 のゲートには、固定の基準電位 Vref1 が常に印加されている。したがって、これらの pMOS トランジスタ 301～304 は、常にオンしている。また、ゲート用の pMOS トランジスタ 305 は、固定の基準電位 Vref2 が常に印加されている。これにより、pMOS トランジスタ 305 は、常に弱くオンしている。

【0041】

インバータ 309 には、ゲート 307、308 からなる論理回路の出力電位が供給される。ここで、行選択用信号線 Bx がローレベルのとき、AND ゲート 308 の出力は、行選択用信号線 BNx および列選択用信号線 Ax の値に拘わらず、ローレベルになる。したがって、インバータ 309 はハイレベルを出力する。

このとき、ダイオード用のトランジスタ 306 は、カソード電位がハイレベルになるので、電流を流さない。このため、pMOS トランジスタ 301～304 のドレイン電流は、トランジスタ 305 を介して、アナログ出力端子 Aout に供給される。このとき、アナログ出力端子 Aout に対する電流の供給に寄与する出力電流供給用トランジスタは、4 個（pMOS トランジスタ 301～304）である。上述のように、pMOS トランジスタ 301～304 は、同じサイズに形成されており、したがって、ドレイン電流は同じである。このため、アナログ出力端子 Aout に供給される電流は、各 pMOS トランジスタ 301～304 のドレイン電流をそれぞれ I_o とすると、 $4 I_o$ （理想値）である。

【0042】

行選択用信号線 B_x がハイレベル且つ行選択用信号線 BN_x がローレベルのとき、ANDゲート 308 の出力レベルは、列選択用信号線 A_x の出力レベルと同じになる。列選択用信号線 A_x がハイレベルの場合、インバータ 309 の出力は、ローレベルになる。このため、pMOS トランジスタ 301～304 のドレイン電流は、トランジスタ 306, 309b を介して、グラウンドに流出する。すなわち、pMOS トランジスタ 301～304 のドレイン電流は、アナログ出力端子 Aout に供給されない。一方、列選択用信号線 A_x がローレベルの場合、インバータ 309 の出力は、ハイレベルになる。このため、トランジスタ 305 を介して、pMOS トランジスタ 301～304 からアナログ出力端子 Aout に電流 $4 I_o$ が供給される。

【0043】

行選択用信号 B_x , BN_x が両方ともハイレベルのとき、インバータ 309 の出力は、列選択用信号線 A_x の値に拘わらず、ローレベルになる。このため、pMOS トランジスタ 301～304 のドレイン電流は、トランジスタ 306, 309b を介して、グラウンドに流出する。すなわち、pMOS トランジスタ 301～304 のドレイン電流は、アナログ出力端子 Aout に供給されない。

【0044】

次に、下位電流セル C0 の動作原理を説明する。

【0045】

図4に示したように、定電流pMOSトランジスタ401～404のゲートには、固定の基準電位Vref1が常に印加されている。したがって、これらのpMOSトランジスタ401～404は、常にオンしている。また、ゲート用のpMOSトランジスタ405～407は、固定の基準電位Vref2が常に印加されている。これにより、pMOSトランジスタ405は、常に弱くオンしている。

【0046】

選択信号D0がハイレベルのとき、インバータ410の出力はローレベルになる。このため、pMOSトランジスタ401, 402のドレイン電流は、トランジスタ408, 410bを介して、グランドに流出する。すなわち、pMOSトランジスタ401, 402のドレイン電流は、アナログ出力端子Aoutに供給されない。一方、選択信号D0がローレベルのとき、インバータ410の出力はハイレベルになる。このとき、ダイオード用のトランジスタ408は、カソード電位がハイレベルになるので、電流を流さない。このため、pMOSトランジスタ401, 402のドレイン電流は、トランジスタ405を介して、アナログ出力端子Aoutに供給される。この場合、アナログ出力端子Aoutに対する電流の供給に寄与するのは、2個のpMOSトランジスタ401, 402のみである。したがって、アナログ出力端子Aoutに供給される電流は、上位電流セルC1～C63の場合の半分すなわち $2I_o$ （理想値）になる。

【0047】

選択信号D1がハイレベルのとき、インバータ411の出力はローレベルになる。このため、pMOSトランジスタ403のドレイン電流は、トランジスタ409, 411bを介して、グランドに流出する。すなわち、pMOSトランジスタ403のドレイン電流は、アナログ出力端子Aoutに供給されない。一方、選択信号D1がローレベルのとき、インバータ411の出力はハイレベルになる。このとき、ダイオード用のトランジスタ409は、カソード電位がハイレベルになるので、電流を流さない。このため、pMOSトランジスタ403のドレイン電流は、トランジスタ406を介して、アナログ出力端子Aoutに供給される。この場合、アナログ出力端子Aoutに対する電流の供給に寄与するのは、1個のpMOSトランジスタ403のみである。したがって、アナログ出力端子Aout

に供給される電流は、上位電流セル C 1 ~ C 6 3 の場合の 4 分の 1 すなわち I_o (理想値) になる。

【0048】

pMOS トランジスタ 404 のドレイン電流 I_o は、常に、ゲート用のトランジスタ 407 を介して、グランドに放出される。この pMOS トランジスタ 404 は、電源ライン 220-8 から下位電流セル C 0 に流入する電流を、上位電流セル C 1 ~ C 6 3 と同じ電流 I_o に設定するために設けられた、ダミートランジスタである。このようなダミートランジスタを設けることにより、この実施の形態に係るデジタル／アナログ変換器 100 の微分直線性誤差を向上させることができる (後述)。

【0049】

次に、デジタル／アナログ変換器 100 の全体動作を説明する。

【0050】

上述のように、デジタル入力端子 $D_{in} 0 \sim D_{in} 7$ には、デジタル信号が入力される。上位デコーダ 120 は、デジタル信号の上位 6 ビットを用いて、上位電流セル用の選択信号を生成する。この選択信号は、ラッチ 140 から、選択信号線 A 1 ~ A 8, B 1 ~ B 8, BN 1 ~ BN 8 に出力される。

【0051】

この実施の形態では、上位電流セルを選択するときの優先順位は、C 1, C 2, . . . , C 6 3 の順に高い。例えば、上位電流セルを 1 個のみ活性化する場合は常に上位電流セル C 1 が選択され、上位電流セルを 2 個のみ活性化する場合は常に上位電流セル C 1, C 2 が選択され、また、上位電流セルを 8 個のみ選択する場合は第 1 行のすべての上位電流セル C 1 ~ C 8 が常に選択される。図 1、図 2 に示したように、この実施の形態では、同一行の上位電流セルを複数個同時に選択する場合には、電源ラインの両端から交互に選択していく。例えば第 1 行 (電源ライン 220-1 に接続された行) の上位電流セルを複数個選択するときの優先順位は、第 1 列のセル C 1、第 8 列のセル C 2、第 2 列のセル C 3、第 7 列のセル C 4、. . . というようになる。また、この実施の形態では、選択数が 9 ~ 16 個のときは、常に、第 1 行および第 2 行の上位電流セルが選択される。同

様に、選択数が 17～24 個の場合は、常に第 1 行～第 3 行の上位電流セルが選択される。選択数が 25 個以上の場合も、同様にして、上位の行に属する上位電流セルが、優先的に選択される。

【0052】

上述の理由により、同じ行に属する上位電流セルがすべて選択される場合、その行に対応する行選択用信号線 B_x が、ローレベルに設定される。また、同じ行に属する上位電流セルがすべて非選択になる場合、その行に対応する行選択用信号線 B_x 、 BN_x は、ハイレベルに設定される。一方、選択される上位電流セルと非選択の上位電流セルとが混在する行は、行選択用信号線 B_x がハイレベルに設定され且つ行選択用信号線 BN_x がローレベルに設定される。上述のように、行選択用信号線 B_x がハイレベル且つ行選択用信号線 BN_x がローレベルのとき、上位電流セルの選択／非選択は、列選択用信号線 A_x の信号レベルによって決定される。

【0053】

例えば、30 個の上位電流セルが選択される場合、行選択用信号線 $B_1 \sim B_3$ はローレベルに設定され、且つ、行選択用信号線 $B_4 \sim B_8$ はハイレベルに設定される。また、行選択用信号線 $BN_1 \sim BN_3$ のレベルは任意であり、行選択用信号線 BN_4 はローレベルに設定され、且つ、行選択用信号線 $BN_5 \sim 8$ はハイレベルに設定される。加えて、列選択用信号線 $A_1 \sim A_6$ はハイレベルに設定され、他の列選択用信号線 A_7 、 A_8 はローレベルに設定される。これにより、上位電流セル $C_1 \sim C_{30}$ は選択され、且つ、上位電流セル $C_{31} \sim C_{63}$ は選択されない。

【0054】

下位デコーダ 130 は、デジタル信号の下位 2 ビットを用いて、下位電流セル用の選択信号を生成する。この選択信号は、ラッチ 140 から、選択信号線 D_0 、 D_1 に出力される。下位電流セル C_0 の出力電流は、 D_0 、 D_1 がともにローレベルのとき $3I_o$ 、 D_0 がローレベル且つ D_1 がハイレベルのとき $2I_o$ （理想値）、 D_0 がハイレベル且つ D_1 がローレベルのとき I_o （理想値）、 D_0 、 D_1 がともにハイレベルのとき零になる。

【0055】

すべての電流セルC0～C63が選択されていないとき、アナログ出力端子Aout の出力電流は零である。一方、すべての電流セルC0～C63が選択されているとき、アナログ出力端子Aout の出力電流は $255 I_o$ （理想値）である（下位電流セルC0の出力電流が $3 I_o$ 且つ上位電流セルC31～C63の出力電流が $63 \times 4 I_o$ ）。以上のようにして、この実施の形態に係るデジタル／アナログ変換器100によれば、アナログ出力端子Aout の出力電流値を、256段階変化させることができる。

【0056】

上述のように、この実施の形態では、同一行の上位電流セルを複数個同時に選択する場合には、電源ラインの両端から交互に選択していくこととした。また、この実施の形態では、最終行の電源ライン220-8の第5列に、下位電流セルを配置した。以下、この理由を説明する。

【0057】

上述したように、電源パターン210は、幅広に形成されるので抵抗が十分に低く、したがって電圧降下の影響は無視できる。これに対して、電源ライン220-1～220-8は、電気抵抗が大きいので、電圧降下の影響を無視できない。上述のように、この実施の形態では、電源パターン210と第1列の上位電流セルとの間の抵抗および上位電流セル間の抵抗を、それぞれRとする（図2参照）。

【0058】

電源ライン220-1のうち、電源パターン210と上位電流セルC1との間の部分に流れる電流は、 $8 \times 4 I_o$ すなわち $32 I_o$ である。したがって、この部分における電圧降下は、 $32 I_o \cdot R$ である。このため、電源パターン210の電位をVDDとすると、一列目の上位電流セルC1の入力電位（すなわち、図3に示されたpMOSトランジスタ301～304のソース電位）は、 $VDD - 32 I_o \cdot R$ となる。また、電源ライン220-1の上位電流セルC1，C2間に流れる電流は、 $7 \times 4 I_o$ すなわち $28 I_o$ である。したがって、この部分における電圧降下は、 $28 I_o \cdot R$ である。このため、2列目の上位電流セルC3

の入力電位は、 $(VDD - 32 I_o \cdot R) - 28 I_o \cdot R$ 、すなわち $VDD - 60 I_o \cdot R$ となる。同様に、3列目の上位電流セルC5の入力電位は $VDD - 84 I_o \cdot R$ 、4列目の上位電流セルC7の入力電位は $VDD - 104 I_o \cdot R$ 、5列目の上位電流セルC8の入力電位は $VDD - 120 I_o \cdot R$ 、6列目の上位電流セルC6の入力電位は $VDD - 134 I_o \cdot R$ 、7列目の上位電流セルC4の入力電位は $VDD - 142 I_o \cdot R$ 、8列目の上位電流セルC2の入力電位は $VDD - 146 I_o \cdot R$ となる。このように、第1行に配置された電流セルC1～C8の入力電位は、1列目の上位電流セルC1で最も高く、8列目の上位電流セルC2で最も低い。したがって、電源ライン220-1から上位電流セルC1～C8に供給される電流（理想的にはそれぞれ $4 I_o$ ）は、1列目の上位電流セルC1で最も大きくなり、8列目の上位電流セルC2で最も小さくなる。この特性は、他の列（電源ライン220-2～220-8に対応する列）の場合も、同じである。したがって、上位電流セルの選択数とアナログ出力端子Aoutの出力電流との関係を直線に近づけるためには、すなわち積分直線性誤差(Integral Linearity Error)を小さくするためには、同一行の上位電流セルを複数個同時に選択する場合に、1列目、2列目、・・・の順に選択していくのではなく、電源ラインの両端から交互に選択していくことが望ましい。

【0059】

上述のように、この実施の形態では、重みが小さい電流セルを1個にまとめて下位電流セルC0を構成し、且つ、この下位電流セルC0を電流セルマトリクス110内の第8行第5列に配置した。さらに、下位電流セルC0にダミー定電流トランジスタ404を設けることにより、セル内の定電流トランジスタの個数を上位電流セルC1～C63と同数にした。これにより、下位電流セルC0の入力電位は、他の行の5列目の上位電流セルC8, C16, ..., C56と同様、 $VDD - 120 I_o \cdot R$ である。このため、下位電流セルC0に設けられた各定電流トランジスタ401～404のドレイン電流は、上位電流セルC1～C63における各定電流トランジスタ301～304のドレイン電流の平均値に近い値になる。したがって、下位電流セルC0が選択される場合の積分直線性誤差も、小さくすることができる。また、下位電流セルC0の入力電位が $VDD - 120$

$I_o \cdot R$ であるため、下位電流セルC0よりも下位列の上位電流セルC62, C60, C58の入力電位は他の行の同じ列に配置された上位電流セル（例えばC6, C4, C2）と同一である。このため、下位電流セルC0を設けることによって下位列の上位電流セルC62, C60, C58の電流特性に影響が及ぶこともない。加えて、この実施の形態では、下位電流セルC0を、電流セルマトリクスの5列目、すなわち他の行では最後に選択される上位電流セルが配置される位置に、配置されている。このため、8行目の上位電流セルC57～C63を選択する方法は、1～7行目と同じでよい。

【0060】

なお、インバータ309, 410, 411（図3、図4参照）がオンするときにも、ダイオード接続のトランジスタ306, 408, 409のソース電位を上昇させるための電流が電流セルC0～C63に供給されるが、電流値が非常に小さいので無視することができる。

【0061】

このように、この実施の形態に係るデジタル／アナログ変換器100によれば、回路構成や制御方法を複雑化させることなく、微分直線性誤差や積分直線性誤差を小さくすることができる。

【0062】

【発明の効果】

以上詳細に説明したように、本発明によれば、簡単な構成で且つデジタル／アナログ変換特性が優れた電流セル型デジタル／アナログ変換器を提供することができる。

【図面の簡単な説明】

【図1】

実施の形態に係る電流セル型デジタル／アナログ変換器の構成を概略的に示すブロック図である。

【図2】

実施の形態に係る電流セル型デジタル／アナログ変換器の電源配線を示す回路図である。

【図 3】

実施の形態に係る上位電流セルの内部構成を示す回路図である。

【図 4】

実施の形態に係る下位電流セルの内部構成を示す回路図である。

【符号の説明】

1 0 0 電流セル型デジタル／アナログ変換器

1 1 0 電流セルマトリクス

1 2 0 上位デコーダ

1 3 0 下位デコーダ

1 3 1, 1 3 2 インバータ

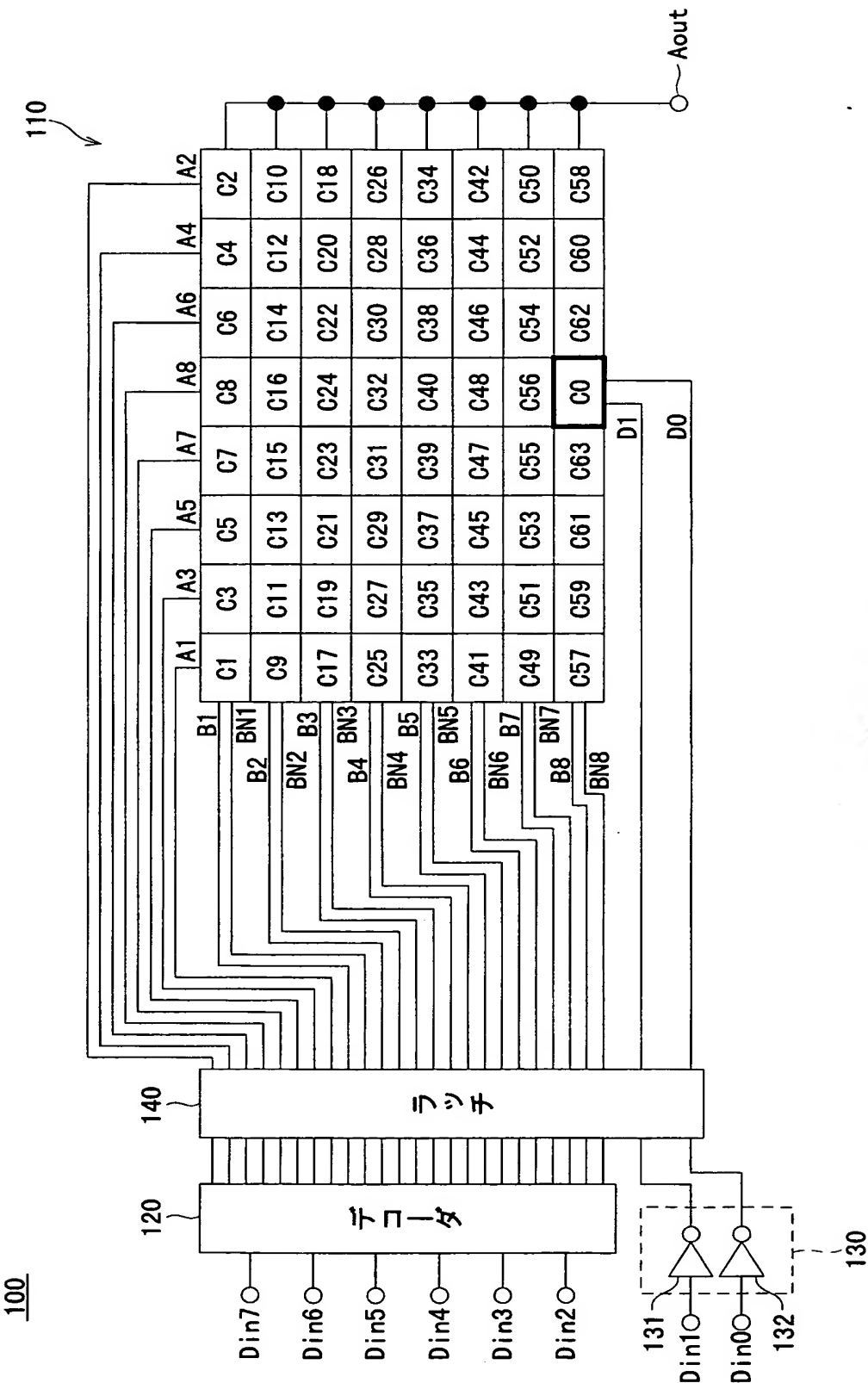
1 4 0 ラッチ

2 1 0 電源パターン

2 2 0 - 1 ~ 2 2 0 - 8 電源ライン

【書類名】 図面

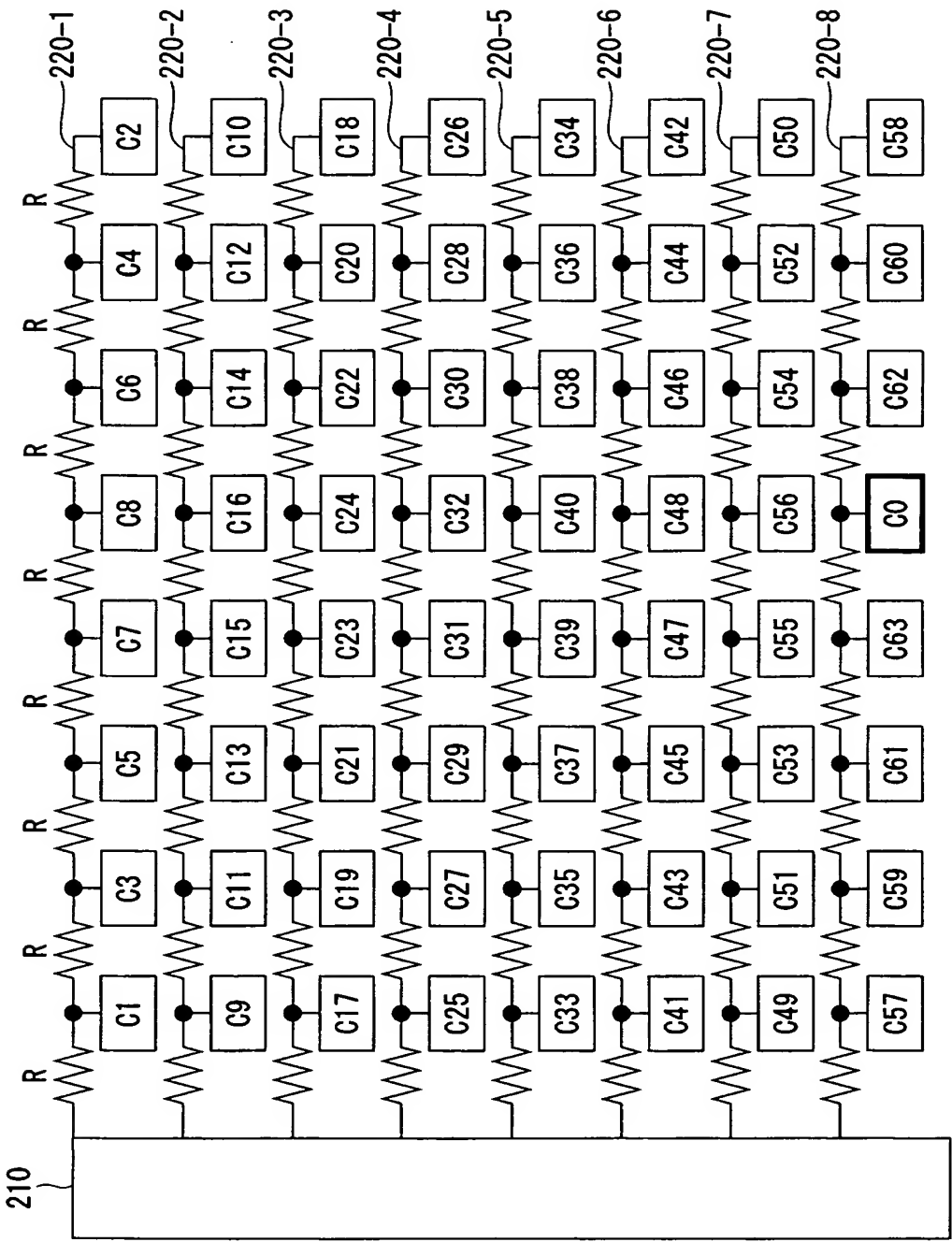
【図 1】



実施の形態の構成(その1)

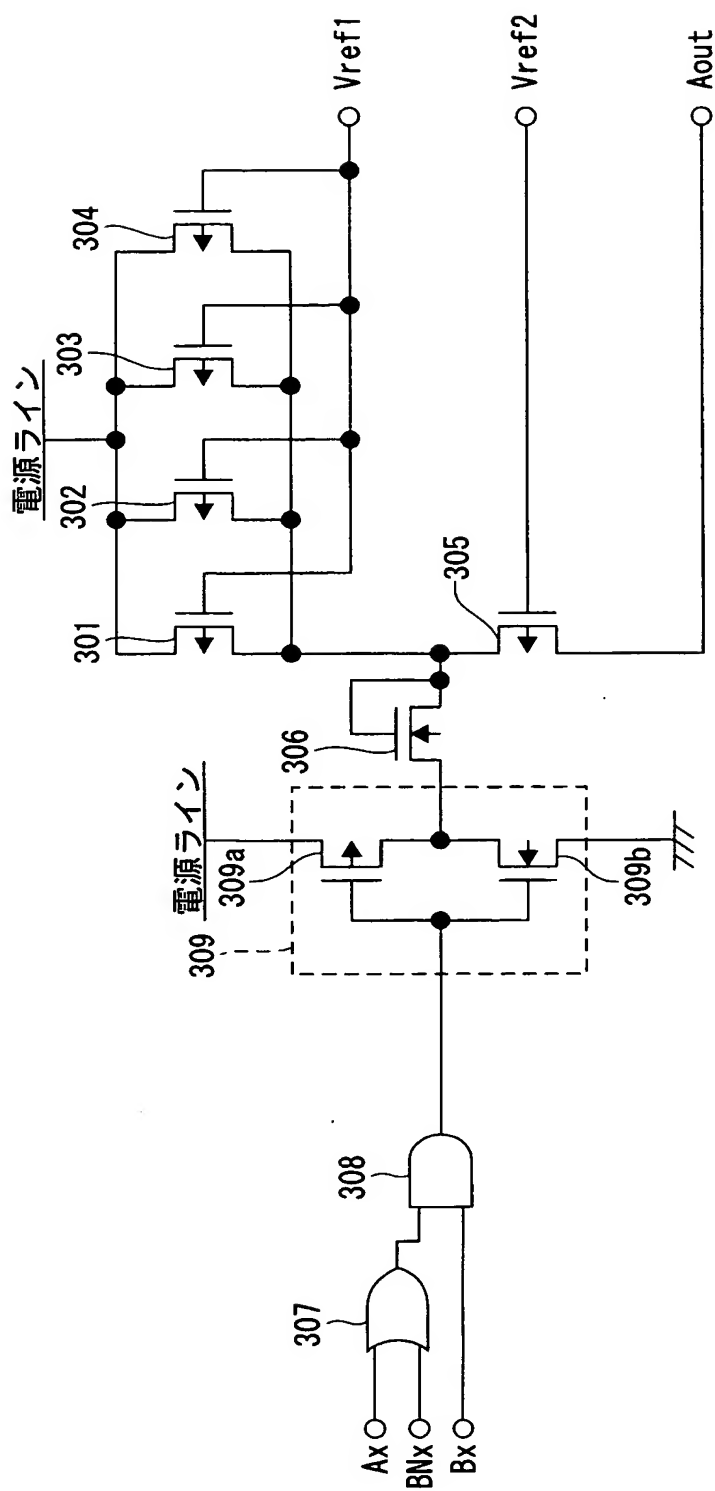
100

【図 2】



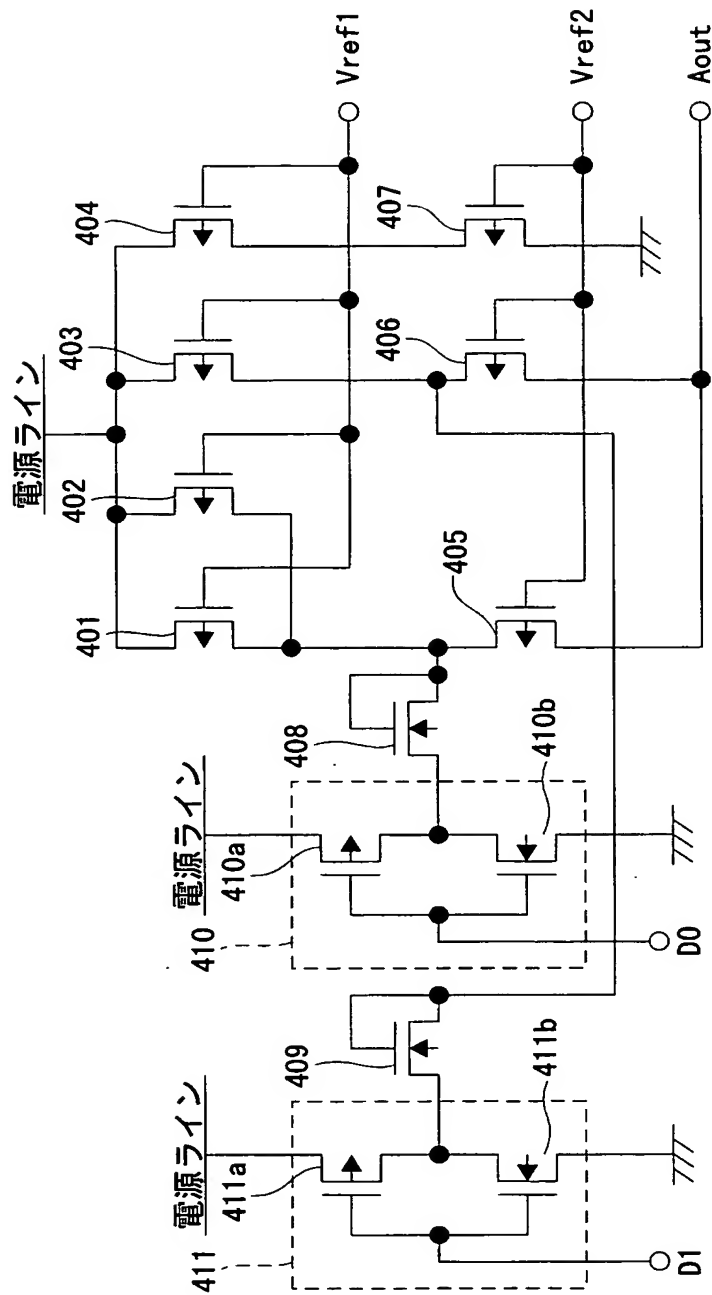
実施の形態の構成(その 2)

【図 3】



実施の形態の構成(その3)

【図 4】



実施の形態の構成(その4)

【書類名】 要約書

【要約】

【課題】 微分直線性誤差や積分直線性誤差が小さい電流セル型デジタル／アナログ変換器を提供する。

【解決手段】 電流セルマトリクス 110 は、63 個の上位電流セル C1～C63 と、1 個の下位電流セル C0 とを備える。すべての電流セル C0～C63 は、それぞれ、同一サイズの定電流トランジスタを 4 個備えている。上位電流セル C1～C63 は、上位デコーダ 120 によって選択されたときに、すべての定電流トランジスタのドレイン電流を出力する。下位電流セル C0 は、下位デコーダからの選択信号に応じて、0 個、1 個または 2 個の定電流トランジスタのドレイン電流を出力する。アナログ出力端子 Aout は、選択された定電流セルの電流を合成して出力する。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 1 1 6 9 9 6
受付番号	5 0 3 0 0 6 6 6 7 2 8
書類名	特許願
担当官	第八担当上席 0 0 9 7
作成日	平成 1 5 年 4 月 2 3 日

< 認定情報・付加情報 >

【提出日】	平成15年 4月22日
-------	-------------

次頁無

特願 2 0 0 3 - 1 1 6 9 9 6

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 0 2 9 5]

1. 変更年月日

1 9 9 0 年 8 月 2 2 日

[変更理由]

新規登録

住 所

東京都港区虎ノ門1丁目7番12号

氏 名

沖電気工業株式会社